



Attorney's Docket No.: 17-039001 / F51-125462M/HW

GP-2811
2/P. Papers
Levi's
11/2/00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Toshimitsu Taniguchi et al. Art Unit : Unknown
Serial No. : 09/652,044 Examiner : Unknown
Filed : August 31, 2000
Title : SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING
THEREOF

Commissioner for Patents
Washington, D.C. 20231

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119

Applicant hereby confirms his claim of priority under 35 USC §119 from the following application(s):


Japan Application No. Hei. 11-309366 filed October 29, 1999

A certified copy of each application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date: October 13, 2000


Chris T. Mizumoto
Reg. No. 42,899

Fish & Richardson P.C.
45 Rockefeller Plaza, Suite 2800
New York, NY 10111
Telephone: (212) 765-5070
Facsimile: (212) 258-2291

30029977.doc

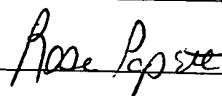
RECEIVED
OCT 20 2000
TECHNOLOGY CENTER 2800

CERTIFICATE OF MAILING BY FIRST CLASS MAIL

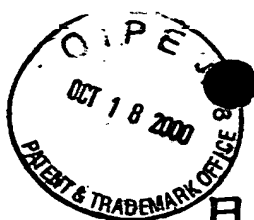
I hereby certify under 37 CFR §1.8(a) that this correspondence is being deposited with the United States Postal Service as first class mail with sufficient postage on the date indicated below and is addressed to the Commissioner for Patents, Washington, D.C. 20231.

Date of Deposit October 13, 2000

Signature



Rose Papetti
Typed or Printed Name of Person Signing Certificate



日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

1999年10月29日

出願番号

Application Number:

平成11年特許願第309366号

出願人

Applicant (s):

三洋電機株式会社

RECEIVED

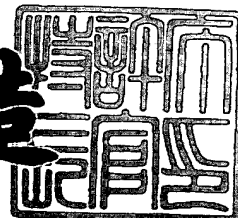
OCT 20 2000

TECHNOLOGY CENTER 2800

2000年 9月22日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3077633

【書類名】 特許願
【整理番号】 KIA0990173
【提出日】 平成11年10月29日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 29/78
【発明者】

【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式
会社内

【氏名】 谷口 敏光

【発明者】

【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式
会社内

【氏名】 新井 隆

【発明者】

【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式
会社内

【氏名】 青山 将茂

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代表者】 近藤 定男

【代理人】

【識別番号】 100109368

【弁理士】

【氏名又は名称】 稲村 悦男

【連絡先】 電話 0 3 - 3 8 3 7 - 7 7 5 1 法務・知的財産部
東京事務所

【選任した代理人】

【識別番号】 100111383

【弁理士】

【氏名又は名称】 芝野 正雅

【手数料の表示】

【予納台帳番号】 013033

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904451

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置とその製造方法

【特許請求の範囲】

【請求項 1】 一導電型の半導体層に形成される高濃度の逆導電型ソース・ドレイン層と、前記ソース・ドレイン層間に位置するチャネル層上に形成されるゲート電極と、前記ソース層近傍に形成される一導電型のボディ層と、前記チャネル層及びドレイン層間に形成される低濃度の逆導電型ドレイン層とを有する半導体装置において、

前記ボディ層が、前記ゲート電極下方にのみ形成されていることを特徴とする半導体装置。

【請求項 2】 一導電型の半導体層上にゲート酸化膜を介して形成されたゲート電極と、

前記ゲート電極の一端部に隣接するように形成される高濃度の逆導電型ソース層と、

前記ゲート電極の他端部から離間されて形成される高濃度の逆導電型ドレイン層と、

前記ゲート電極下方から前記逆導電型ドレイン層を取り囲むように形成される低濃度の逆導電型ドレイン層と、

前記ゲート電極下方の前記逆導電型ソース層と前記逆導電型ドレイン層間に形成される一導電型のボディ層とを具備したことを特徴とする半導体装置。

【請求項 3】 一導電型の半導体層上にゲート酸化膜を介して形成されたゲート電極と、

前記ゲート電極から離間されて形成される高濃度の逆導電型ソース・ドレイン層と、

前記逆導電型ソース・ドレイン層を取り囲むように形成され、前記ゲート電極下方に形成された一導電型のボディ層で分断された低濃度の逆導電型ソース・ドレイン層とを具備したことを特徴とする半導体装置。

【請求項 4】 前記低濃度の逆導電型ドレイン層あるいは前記低濃度の逆導電型ソース・ドレイン層が、前記ゲート電極下方では浅く、前記高濃度の逆導電

型ドレイン層あるいは高濃度の逆導電型ソース・ドレイン層下方では深く形成されていることを特徴とする請求項 1 あるいは請求項 2 あるいは請求項 3 に記載の半導体装置。

【請求項 5】 一導電型の半導体層に形成される高濃度の逆導電型のソース・ドレイン層と、前記ソース・ドレイン層間に位置するチャンネル層上に形成されるゲート電極と、前記ソース層近傍に形成される一導電型のボディ層と、前記チャンネル層及びドレイン層間に形成される低濃度の逆導電型ドレイン層とを有する半導体装置の製造方法において、

前記半導体層に逆導電型不純物をイオン注入して低濃度の逆導電型ドレイン層を形成する工程と、

前記半導体層に逆導電型不純物をイオン注入して前記ゲート電極の一端部に隣接するように高濃度の逆導電型ソース層を形成すると共に当該ゲート電極の他端部から離間した位置に高濃度の逆導電型ドレイン層を形成する工程と、

前記半導体層に一導電型不純物をイオン注入して前記ゲート電極の一端部下方から前記逆導電型ソース層に隣接するように一導電型のボディ層を形成する工程と、

前記半導体層上にゲート酸化膜を形成した後に当該ゲート酸化膜上にゲート電極を形成する工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項 6】 前記低濃度の逆導電型ドレイン層あるいは前記低濃度の逆導電型ソース・ドレイン層が、前記ゲート電極下方では浅く、前記高濃度の逆導電型ドレイン層あるいは高濃度の逆導電型ソース・ドレイン層下方では深く形成されていることを特徴とする請求項 5 に記載の半導体装置の製造方法。

【請求項 7】 一導電型の半導体層に逆導電型不純物をイオン注入して低濃度の逆導電型ソース・ドレイン層を形成する工程と、

前記半導体層に逆導電型不純物をイオン注入して前記逆導電型ソース・ドレイン層に連なり、当該逆導電型ソース・ドレイン層よりも浅い逆導電型層を形成する工程と、

前記逆導電型ソース・ドレイン層内に逆導電型不純物をイオン注入して高濃度の逆導電型ソース・ドレイン層を形成する工程と、

前記逆導電型層内に一導電型不純物をイオン注入して一導電型のボディ層を形成する工程と、

前記基板上にゲート酸化膜を形成した後に当該ゲート酸化膜上に前記一導電型のボディ層を跨ぐようにゲート電極を形成する工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項 8】 一導電型の半導体層内に逆導電型不純物をイオン注入して低濃度の逆導電型層を形成する工程と、

前記逆導電型層内に逆導電型不純物をイオン注入して高濃度の逆導電型ソース・ドレイン層を形成する工程と、

前記逆導電型層に一導電型不純物をイオン注入して一導電型のボディ層を形成する工程と、

前記基板上にゲート酸化膜を形成した後に当該ゲート酸化膜上に第 1 の MOS トランジスタ用の第 1 のゲート電極を形成すると共に第 2 の MOS トランジスタ用の第 2 のゲート電極を前記一導電型のボディ層上に形成する工程と、

前記第 1 の MOS トランジスタ用のソース・ドレイン層形成領域以外の領域を被覆するレジスト膜をマスクにして前記第 1 のゲート電極に隣接するように逆導電型のソース・ドレイン層を形成する工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項 9】 一導電型の半導体層内に逆導電型不純物をイオン注入して低濃度の逆導電型ソース・ドレイン層を形成する工程と、

前記半導体層内に逆導電型不純物をイオン注入して前記逆導電型ソース・ドレイン層に連なり、当該逆導電型ソース・ドレイン層よりも浅い逆導電型層を形成する工程と、

前記逆導電型ソース・ドレイン層に逆導電型不純物をイオン注入して高濃度の逆導電型ソース・ドレイン層を形成する工程と、

前記逆導電型層に一導電型不純物をイオン注入して一導電型のボディ層を形成する工程と、

前記基板上にゲート酸化膜を形成した後に当該ゲート酸化膜上に第 1 の MOS トランジスタ用の第 1 のゲート電極を形成すると共に第 2 の MOS トランジスタ

用の第2のゲート電極を前記一導電型のボディ層上に形成する工程と、

前記第1のMOSトランジスタ用のソース・ドレイン層形成領域以外の領域を被覆するレジスト膜をマスクにして前記第1のゲート電極に隣接するように逆導電型のソース・ドレイン層を形成する工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項10】 前記第1のMOSトランジスタが微細化MOSトランジスタであり、前記第2のMOSトランジスタが高耐圧MOSトランジスタであることを特徴とする請求項8あるいは請求項9に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置とその製造方法に関し、更に言えば、例えば液晶駆動用ドライバを構成する各種MOSトランジスタを1つの半導体基板上に構成する技術に関する。

【0002】

【従来の技術】

以下、従来の半導体装置とその製造方法について図面を参照しながら説明する。ここで、液晶駆動用ドライバは、ロジック系の（例えば、3V）Nチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタ、高耐圧系の（例えば、30V）Nチャネル型MOSトランジスタ、Pチャネル型MOSトランジスタ、Nチャネル型D（Double diffused）MOSトランジスタ及びPチャネル型DMOSトランジスタ、レベルシフタ用の（例えば、30V）Nチャネル型MOSトランジスタ等から成る。

【0003】

ここで、上記DMOSトランジスタ構造とは、半導体基板表面側に形成した拡散層に対して、導電型の異なる不純物を拡散させて、新たな拡散層を形成し、これらの拡散層の横方向拡散の差を実効チャネル長として利用してなるものであり、短いチャネルが形成されることで、低オン抵抗化に適した素子となる。

【0004】

図12は従来のDMOSトランジスタを説明するための断面図であり、一例としてNチャネル型DMOSトランジスタ構造について図示してある。尚、Pチャネル型MOSトランジスタ構造についての説明は省略するが、導電型が異なるだけで、同様の構造と成っているのは周知の通りである。

【0005】

図12において、51は一導電型、例えばP型の半導体基板で、52はN型ウエルで、このN型ウエル52内にP型ボディ層53が形成されると共に、このP型ボディ層53内にはN型拡散層54が形成され、また前記N型ウエル52内にN型拡散層55が形成されている。基板表面にはゲート酸化膜56を介してゲート電極57が形成されており、このゲート電極57直下のP型ボディ層53の表面領域にはチャネル層58が形成されている。

【0006】

そして、前記N型拡散層54をソース拡散層、N型拡散層55をドレイン拡散層とし、LOCOS酸化膜59下のN型ウエル52をドリフト層としている。また、60、61はそれぞれソース電極、ドレイン電極であり、62はP型ボディ層53の電位を取るためのP型拡散層で、63は層間絶縁膜である。

【0007】

上記DMOSトランジスタにおいては、N型ウエル52を拡散形成することで、N型ウエル52表面での濃度が高くなり、このN型ウエル52表面での電流が流れ易くすると共に、高耐圧化を図ることができる。

【0008】

そして、このような構成のDMOSトランジスタは、表面緩和型（RESURF）DMOSと呼ばれ、前記N型ウエル2のドリフト層のドーパント濃度は、RESURF条件を満たすように設定されている。尚、このような技術は、特開平9-139438号公報等の開示されている。

【0009】

【発明が解決しようとする課題】

ここで、上記DMOSトランジスタを形成する場合において、ゲート電極形成後に、P型ボディ層53形成用の高温熱処理が必要になり、そのため、例えば0

・ 35 μ mルール等の低電圧動作の微細化デバイスでの濃度プロファイルが狂ってしまうため、現状ではDMOSトランジスタのゲート電極を形成し、P型ボディ層形成用の高温熱処理が終了した後に、微細化MOSトランジスタを作り始めることになり、製造工程が長くなるという問題があった。

【0010】

また、DMOSトランジスタは、基本的に異なるイオン種による拡散係数及び拡散開始位置によりゲート長が決まってしまうため、ゲート長に対する設計上の自由度が小さいという問題もあった。

【0011】

【課題を解決するための手段】

そこで、本発明の半導体装置は上記課題に鑑み為され、図10に示すように例えば、P型ウェル3上にゲート酸化膜9を介して形成されたゲート電極27Fと、前記ゲート電極27Fから離間されて形成される高濃度のN型ソース・ドレイン層15と、前記N型ソース・ドレイン層15を取り囲むように形成され、前記ゲート電極27F下方に形成されたP型ボディ層18で分断された低濃度のN型ソース・ドレイン層10とを具備したことを特徴とする。

【0012】

また、図11に示すように例えば、P型ウェル3上にゲート酸化膜9を介して形成されたゲート電極27Fと、前記ゲート電極27Fの一端部に隣接するように形成される高濃度のN型ソース層15Aと、前記ゲート電極27Fの他端部から離間されて形成される高濃度のN型ドレイン層15Aと、前記ゲート電極27F下方から前記N型ドレイン層15Aを取り囲むように形成される低濃度のN型ドレイン層10Aと、前記ゲート電極27F下方の前記N型ソース層15Aと前記N型ドレイン層10A間に形成されるP型ボディ層18Aとを具備したことを特徴とする。

【0013】

更に、本発明の半導体装置の製造方法は、一導電型の半導体層に形成される高濃度の逆導電型のソース・ドレイン層と、前記ソース・ドレイン層間に位置するチャンネル層上に形成されるゲート電極と、前記ソース層近傍に形成される一導電

型のボディ層と、前記チャンネル層及びドレイン層間に形成される低濃度の逆導電型のドレイン層とを有するものにおいて、図 11 に示すように例えば P 型ウエル 3 に N 型不純物をイオン注入して低濃度の N 型ドレイン層 10 A を形成した後に、前記 P 型ウエル 3 に N 型不純物をイオン注入して前記ゲート電極 27 F の一端部に隣接するように高濃度の N 型ソース層 15 A を形成すると共に、当該ゲート電極 27 F の他端部から離間した位置に高濃度の N 型ドレイン層 15 A を形成する。続いて、前記 P 型ウエル 3 に P 型不純物をイオン注入して前記ゲート電極 27 F の一端部下方から前記 N 型ソース層 15 A に隣接するように P 型ボディ層 18 A を形成する。そして、前記 P 型ウエル 3 上にゲート酸化膜 9 を形成した後に、当該ゲート酸化膜 9 上にゲート電極 27 F を形成する工程とを具備したことを特徴とする。

【0014】

また、他の製造方法は、例えば P 型ウエル 3 に N 型不純物をイオン注入して低濃度の N 型ソース・ドレイン層 (LN 層) 10 を形成する (図 2 参照)。次に、前記 P 型ウエル 3 に N 型不純物をイオン注入して前記 N 型ソース・ドレイン層 (LN 層) 10 に連なり、当該 N 型ソース・ドレイン層 (LN 層) 10 よりも浅い SLN 層 13 を形成する (図 3 参照)。続いて、前記 N 型ソース・ドレイン層 (LN 層) 10 に N 型不純物をイオン注入して高濃度の N 型ソース・ドレイン層 (N+層) 15 を形成する (図 4 参照)。次に、前記 SLN 層 13 に P 型不純物をイオン注入してそのほぼ中央部に P 型ボディ層 (P 層) 18 を形成する (図 5 参照)。そして、前記 P 型ウエル 3 上にゲート酸化膜 9 を形成した後に、当該ゲート酸化膜 9 上にゲート電極 27 F を形成する工程とを具備したことを特徴とする (図 8 参照)。

【0015】

更に、他の製造方法は、例えば P 型ウエル 3 に N 型不純物をイオン注入して低濃度の N 型ソース・ドレイン層 (LN 層) 10 を形成する (図 2 参照)。次に、前記 N 型ソース・ドレイン層 (LN 層) 10 に N 型不純物をイオン注入して高濃度の N 型ソース・ドレイン層 (N+層) 15 を形成する (図 4 参照)。続いて、前記低濃度の N 型ソース・ドレイン層 (LN 層) 10 に P 型不純物をイオン注入

してそのほぼ中央部にP型ボディ層（P層）18を形成する（図5参照）。更に、前記P型ウエル3内に第2P型ウエル21を形成し（図6参照）、この第2P型ウエル21上にゲート酸化膜9を形成した後に（図7参照）、当該ゲート酸化膜9上に第1のMOSトランジスタ用のゲート電極27Aを形成すると共に、第2のMOSトランジスタ用のゲート電極27Fを前記P型ボディ層18上に跨るように形成する（図8参照）。そして、前記第1のMOSトランジスタ用のソース・ドレイン層形成領域以外の領域を被覆するレジスト膜をマスクにして前記ゲート電極27Aに隣接するようにN型のソース・ドレイン層28、31を形成する工程とを具備したことを特徴とする（図10参照）。

【0016】

更に、他の製造方法は、例えばP型ウエル3にN型不純物をイオン注入して低濃度のN型ソース・ドレイン層（LN層）10を形成する（図2参照）。次に、前記P型ウエル3にN型不純物をイオン注入して前記N型ソース・ドレイン層（LN層）10に連なり、当該N型ソース・ドレイン層（LN層）10よりも浅いSLN層13を形成する（図3参照）。続いて、前記N型ソース・ドレイン層（LN層）10にN型不純物をイオン注入して高濃度のN型ソース・ドレイン層（N+層）15を形成する（図4参照）。更に、前記低濃度のN型ソース・ドレイン層（LN層）10にP型不純物をイオン注入してそのほぼ中央部にP型ボディ層（P層）18を形成する（図5参照）。次に、前記P型ウエル3内に第2P型ウエル21を形成し（図6参照）、この第2P型ウエル21上にゲート酸化膜9を形成した後に（図7参照）、当該ゲート酸化膜9上に第1のMOSトランジスタ用のゲート電極27Aを形成すると共に、第2のMOSトランジスタ用のゲート電極27Fを前記P型ボディ層18上に跨るように形成する（図8参照）。そして、前記第1のMOSトランジスタ用のソース・ドレイン層形成領域以外の領域を被覆するレジスト膜をマスクにして前記ゲート電極27Aに隣接するようにN型のソース・ドレイン層28、31を形成する工程とを具備したことを特徴とする（図10参照）。

【0017】

【発明の実施の形態】

以下、本発明の半導体装置とその製造方法に係る一実施形態について図面を参照しながら説明する。

【0018】

ここで、図10は本発明の半導体装置、即ち液晶駆動用ドライバは、図面(a)の左側からロジック系の(例えば、3V)Nチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタ、レベルシフト用の(例えば、30V)Nチャネル型MOSトランジスタ、高耐圧系の(例えば、30V)Nチャネル型MOSトランジスタ、図面(b)の左側から同じくPチャネル型MOSトランジスタ、Nチャネル型DMOSトランジスタ及びPチャネル型DMOSトランジスタで構成される。

【0019】

以下、上記液晶駆動用ドライバを構成する各種MOSトランジスタの製造方法について説明する。

【0020】

先ず、図1において、各種MOSトランジスタを構成するための領域を画定するために、例えばP型の半導体基板1内にP型ウエル3及びN型ウエル5を形成する。

【0021】

即ち、前記基板1のN型ウエル形成領域上をパッド酸化膜2を介して不図示のレジスト膜で被覆した状態で、例えばボロンイオンをおよそ80KeVの加速電圧で、 $8 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入する。その後、図1に示すように前記P型ウエル3上をレジスト膜4で被覆した状態で、例えばリンイオンをおよそ80KeVの加速電圧で、 $9 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入する。尚、実際には前述したようにイオン注入された各イオン種が熱拡散(例えば、1150℃のN₂雰囲気中で、4時間)されることで、P型ウエル3及びN型ウエル5となる。

【0022】

次に、図2において、各MOSトランジスタ毎に素子分離するため、およそ5000Å程度の素子分離膜8をLOCOS法により形成し、この素子分離膜8以

外の活性領域上におよそ 800 Å 程度の高耐圧用の厚いゲート酸化膜 9 を熱酸化により形成する。

【0023】

続いて、レジスト膜をマスクにして低濃度の N 型及び P 型のソース・ドレイン層（以下、LN 層 10、LP 層 11 と称す。）を形成する。即ち、先ず、不図示のレジスト膜で LN 層形成領域上以外の領域を被覆した状態で基板表層に、例えばリンイオンをおよそ 120 KeV の加速電圧で、 $8 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入して LN 層 10 を形成する。その後、レジスト膜（PR）で LP 層形成領域上以外の領域を被覆した状態で基板表層に、例えばボロンイオンをおよそ 120 KeV の加速電圧で、 $8.5 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入して LP 層 11 を形成する。尚、実際には後工程のアニール工程（例えば、1100℃の N₂ 雰囲気中で、2 時間）を経て、上記イオン注入された各イオン種が熱拡散されて LN 層 10 及び LP 層 11 となる。

【0024】

続いて、図 3 において、レジスト膜をマスクにして前記 LN 層 10 間及び LP 層 11 間にそれぞれ SLN 層 13 及び SLP 層 14 を形成する。即ち、先ず、不図示のレジスト膜で SLN 層形成領域上以外の領域を被覆した状態で基板表層に、例えばリンイオンをおよそ 120 KeV の加速電圧で、 $1.5 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入して前記 LN 層 10 に連なる SLN 層 13 を形成する。その後、レジスト膜（PR）で SLP 層形成領域上以外の領域を被覆した状態で基板表層に、例えば二フッ化ボロンイオンをおよそ 140 KeV の加速電圧で、 $2.5 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入して前記 LP 層 11 に連なる SLP 層 14 を形成する。

【0025】

更に、図 4 において、レジスト膜をマスクにして高濃度の N 型及び P 型のソース・ドレイン層（以下、N+ 層 15、P+ 層 16 と称す。）を形成する。即ち、先ず、不図示のレジスト膜で N+ 層形成領域上以外の領域を被覆した状態で基板表層に、例えばリンイオンをおよそ 80 KeV の加速電圧で、 $2 \times 10^{15} / \text{cm}^2$ の注入条件でイオン注入して N+ 層 15 を形成する。その後、レジスト膜（P

R)でP+層形成領域上以外の領域を被覆した状態で基板表層に、例えばニフッ化ボロンイオンをおよそ140 KeVの加速電圧で、 $2 \times 10^{15} / \text{cm}^2$ の注入条件でイオン注入してP+層16を形成する。

【0026】

次に、図5において、レジスト膜をマスクにして前記LN層10に連なるSLN層13の中央部及び前記LP層11に連なるSLP層14の中央部にそれぞれ逆導電型の不純物をイオン注入することで、当該SLN層13及びSLP層14を分断するP型層18（従来構造のP型ボディ層に相当する。）及びN型層19（従来構造のN型ボディ層に相当する。）を形成する。即ち、先ず、不図示のレジスト膜でP型層形成領域上以外の領域を被覆した状態で基板表層に、例えばニフッ化ボロンイオンをおよそ120 KeVの加速電圧で、 $5 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入してP型層18を形成する。その後、レジスト膜（PR）でPN型層形成領域上以外の領域を被覆した状態で基板表層に、例えばリンイオンをおよそ190 KeVの加速電圧で、 $5 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入してN型層19を形成する。尚、上記図3～図5に示すイオン注入工程に関する作業工程順は、適宜変更可能なものである。

【0027】

更に、前記通常耐圧用の微細化Nチャネル型及びPチャネル型MOSトランジスタ形成領域の基板（P型ウエル3）内に第2のP型ウエル21及び第2のN型ウエル22を形成する。

【0028】

即ち、前記通常耐圧のNチャネル型MOSトランジスタ形成領域上に開口を有する不図示のレジスト膜をマスクにして前記P型ウエル3内に、例えばボロンイオンをおよそ190 KeVの加速電圧で、 $1.5 \times 10^{13} / \text{cm}^2$ の第1の注入条件でイオン注入後、同じくボロンイオンをおよそ50 KeVの加速電圧で、 $2.6 \times 10^{12} / \text{cm}^2$ の第2の注入条件でイオン注入して、第2のP型ウエル21を形成する。また、前記通常耐圧用のPチャネル型MOSトランジスタ形成領域上に開口を有するレジスト膜（PR）をマスクにして前記P型ウエル3内に例えばリンイオンをおよそ380 KeVの加速電圧で、 $1.5 \times 10^{13} / \text{cm}^2$ の

注入条件でイオン注入して、第2のN型ウェル22を形成する。尚、380 KeV程度の高加速電圧発生装置が無い場合には、190 KeVの加速電圧で2回イオン注入するダブルチャージ方式でも良い。

【0029】

次に、図7において、通常耐圧用のNチャネル型及びPチャネル型MOSトランジスタ形成領域上とレベルシフト用のNチャネル型MOSトランジスタ形成領域上の前記ゲート酸化膜9を除去した後に、この領域上に新たに所望の膜厚のゲート酸化膜を形成する。

【0030】

即ち、先ず、全面にレベルシフト用のNチャネル型MOSトランジスタ用におよそ140 Å程度（この段階では、およそ70 Å程度であるが、後述する通常耐圧用のゲート酸化膜形成時に膜厚が増大する。）のゲート酸化膜24を熱酸化により形成する。続いて、通常耐圧用のNチャネル型及びPチャネル型MOSトランジスタ形成領域上に形成された前記レベルシフト用のNチャネル型MOSトランジスタのゲート酸化膜24を除去した後に、この領域に通常耐圧用の薄いゲート酸化膜25（およそ70 Å程度）を熱酸化により形成する。

【0031】

続いて、図8において、全面におよそ1000 Å程度のポリシリコン膜を形成し、このポリシリコン膜に POCl_3 を熱拡散源として熱拡散し導電化した後に、このポリシリコン膜上におよそ1000 Å程度のタングステンシリサイド（ WSi_x ）膜、更にはおよそ1500 Å程度の SiO_2 膜を積層し、不図示のレジスト膜を用いてパターニングして各MOSトランジスタ用のゲート電極27A、27B、27C、27D、27E、27F、27Gを形成する。尚、前記 SiO_2 膜は、パターニング時のハードマスクとして働く。

【0032】

続いて、図9において、前記通常耐圧用のNチャネル型及びPチャネル型MOSトランジスタ用に低濃度のソース・ドレイン層を形成する。

【0033】

即ち、先ず、通常耐圧用のNチャネル型MOSトランジスタ用の低濃度ソース

・ドレイン層形成領域上以外の領域を被覆する不図示のレジスト膜をマスクにして、例えばリンイオンをおよそ20 KeVの加速電圧で、 $6.2 \times 10^{13} / \text{cm}^2$ の注入条件でイオン注入して、低濃度のN-型ソース・ドレイン層28を形成する。また、通常耐圧用のPチャネル型MOSトランジスタ用の低濃度ソース・ドレイン層形成領域上以外の領域を被覆するレジスト膜(PR)をマスクにして、例えば二フッ化ボロンイオンをおよそ20 KeVの加速電圧で、 $2 \times 10^{13} / \text{cm}^2$ の注入条件でイオン注入して、低濃度のP-型ソース・ドレイン層29を形成する。

【0034】

更に、図10において、全面に前記ゲート電極27A, 27B, 27C, 27D, 27E, 27F, 27Gを被覆するようにおよそ2500Å程度のTEOS膜30をLPCVD法により形成し、前記通常耐圧用のNチャネル型及びPチャネル型MOSトランジスタ形成領域上に開口を有するレジスト膜(PR)をマスクにして前記TEOS膜30を異方性エッチングする。これにより、図10に示すように前記ゲート電極27A, 27Bの両側壁部にサイドウォールスペーサ膜30Aが形成され、前記レジスト膜(PR)で被覆された領域にはTEOS膜30がそのまま残膜する。

【0035】

そして、前記ゲート電極18Aとサイドウォールスペーサ膜30A並びに、前記ゲート電極18Bとサイドウォールスペーサ膜30Aをマスクにして、前記通常耐圧用のNチャネル型及びPチャネル型MOSトランジスタ用に高濃度のソース・ドレイン層を形成する。

【0036】

即ち、通常耐圧用のNチャネル型MOSトランジスタ用の高濃度ソース・ドレイン層形成領域上以外の領域を被覆する不図示のレジスト膜をマスクにして、例えばヒ素イオンをおよそ100 KeVの加速電圧で、 $5 \times 10^{15} / \text{cm}^2$ の注入条件でイオン注入して、高濃度のN+型ソース・ドレイン層31を形成する。また、通常耐圧用のPチャネル型MOSトランジスタ用の高濃度ソース・ドレイン層形成領域上以外の領域を被覆する不図示のレジスト膜をマスクにして、例えば

ニフツ化ボロンイオンをおよそ40 KeVの加速電圧で、 $2 \times 10^{15} / \text{cm}^2$ の注入条件でイオン注入して、高濃度のP+型ソース・ドレイン層32を形成する。

【0037】

以下、図示した説明は省略するが、全面にTEOS膜及びBP SG膜等からなるおよそ6000 Å程度の層間絶縁膜を形成した後に、前記各高濃度のソース・ドレイン層15, 16, 31, 32にコンタクトする金属配線層を形成することで、前記液晶駆動用ドライバを構成する通常耐圧用のNチャネル型MOSトランジスタ、Pチャネル型MOSトランジスタ、レベルシフト用のNチャネル型MOSトランジスタ、高耐圧用のNチャネル型MOSトランジスタ、Pチャネル型MOSトランジスタ、Nチャネル型DMOSトランジスタ及びPチャネル型DMOSトランジスタが完成する。

【0038】

また、上記一実施形態では製造過程における簡便性を重視して、ソース・ドレイン層構造を左右対照としているが、本発明ではこれに限らず、左右非対照なソース・ドレイン層構造を採用しても良い。

【0039】

即ち、この場合の他の実施形態の半導体装置は、一例としてNチャネル型DMOSトランジスタを説明すると、図11に示すように例えば、P型の半導体基板1上にゲート酸化膜9を介して形成されたゲート電極27Fと、前記ゲート電極27Fの一端部に隣接するように形成される高濃度のN型ソース層15Aと、前記ゲート電極27Fの他端部から離間されて形成される高濃度のN型ドレイン層15Aと、前記ゲート電極27F下方から前記N型ドレイン層15Aを取り囲むように形成される低濃度のN型ドレイン層10Aと、前記ゲート電極27F下方の前記N型ソース層15Aと前記N型ドレイン層10A間に形成されるP型ボディ層18Aとを具備したことを特徴とする。

【0040】

そして、その製造方法は、例えばP型ウエル3にN型不純物（例えば、リンイオン）をイオン注入して低濃度のN型ドレイン層10Aを形成した後に、前記基

板 1 に N 型不純物（例えば、ヒ素イオン）をイオン注入してゲート電極 2 7 F の一端部に隣接するように高濃度の N 型ソース層 1 5 A を形成すると共に、当該ゲート電極 2 7 F の他端部から離間した位置に高濃度の N 型ドレイン層 1 5 A を形成する。続いて、前記基板 1 に P 型不純物（例えば、ボロンイオン）をイオン注入して前記ゲート電極 2 7 F の一端部下方から前記 N 型ソース層 1 5 A に隣接するように P 型ボディ層 1 8 A を形成する。そして、前記 P 型ウェル 3 上にゲート酸化膜 9 を形成した後に、当該ゲート酸化膜 9 上にゲート電極 2 7 F を形成すれば良い。

【 0 0 4 1 】

以上説明したように本発明構造では、Nチャネル型 DMOS トランジスタ及び Pチャネル型 DMOS トランジスタにおいて、P型ボディ層あるいは N 型ボディ層をゲート電極下にのみ形成したため、従来構造のように P 型ボディ層あるいは N 型ボディ層で高濃度のソース層を包み込むものに比して接合容量の低減化が図れる。

【 0 0 4 2 】

また、上記構造では P 型ボディ層あるいは N 型ボディ層をイオン注入で形成しているため、従来のような拡散形成したものに比して微細化が可能になる。

【 0 0 4 3 】

更に、上記製造方法によれば、従来方法のように DMOS トランジスタを形成する際に、ボディ層形成のためのゲート電極形成後における高温熱処理が必要なくなるため、微細化プロセスとの混載が可能になる。

【 0 0 4 4 】

また、本発明の DMOS トランジスタの製造方法では、上述したように P 型ボディ層あるいは N 型ボディ層を独自のイオン注入工程を経て形成しているため、従来方法に比してゲート長に対する設計上の自由度が大きくなる。

【 0 0 4 5 】

【発明の効果】

本発明によれば、高耐圧 MOS トランジスタにおいて、P型ボディ層あるいは N 型ボディ層をゲート電極下にのみ形成したため、従来構造のように P 型ボディ

層あるいはN型ボディ層で高濃度のソース層を包み込むものに比して接合容量の低減化が図れる。

【0046】

また、従来方法のように高耐圧MOSトランジスタを形成する際に、前記ボディ層形成のためのゲート電極形成後における高温熱処理が必要なくなるため、微細化プロセスとの混載が可能になり、各種表示素子のドライバ（例えば、液晶表示用ドライバ）とコントローラとの1チップ化が可能になる。

【図面の簡単な説明】

【図1】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図2】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図3】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図4】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図5】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図6】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図7】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図8】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図9】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図10】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図11】

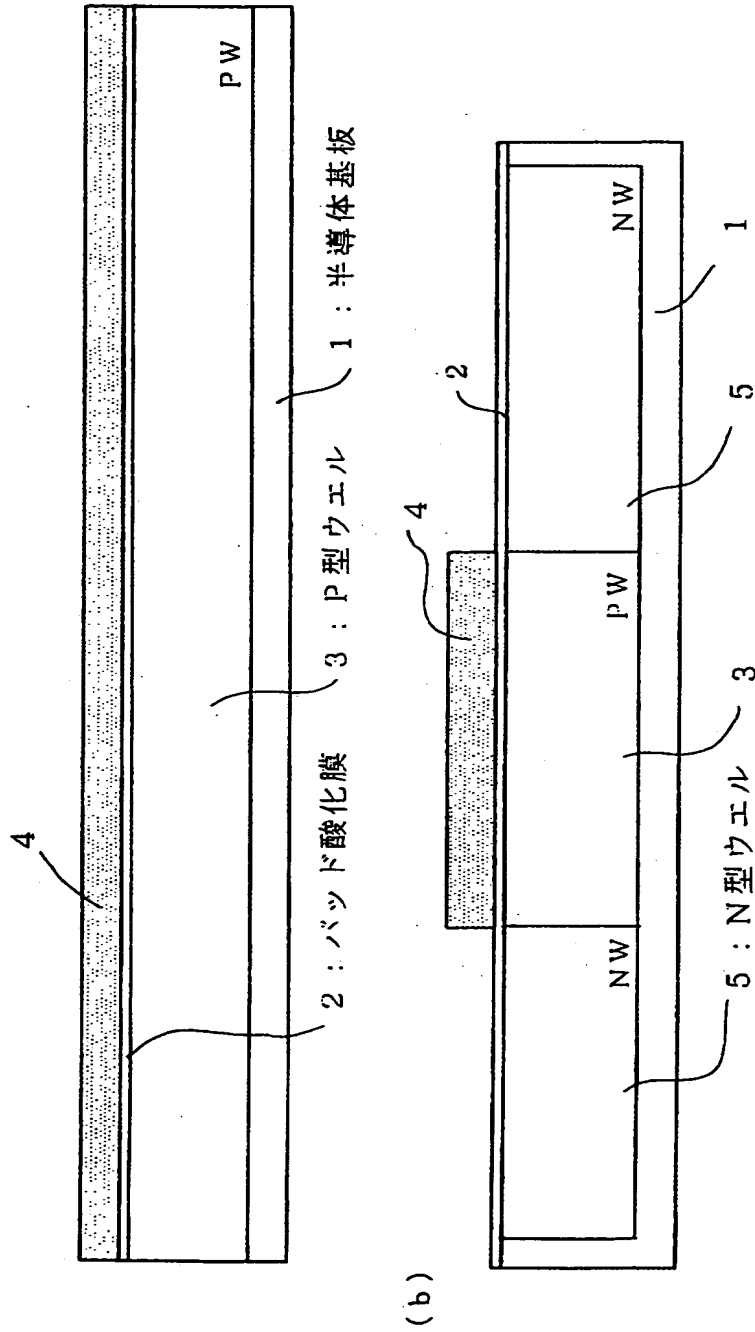
本発明の他の実施形態の半導体装置の製造方法を示す断面図である。

【図 1 2】

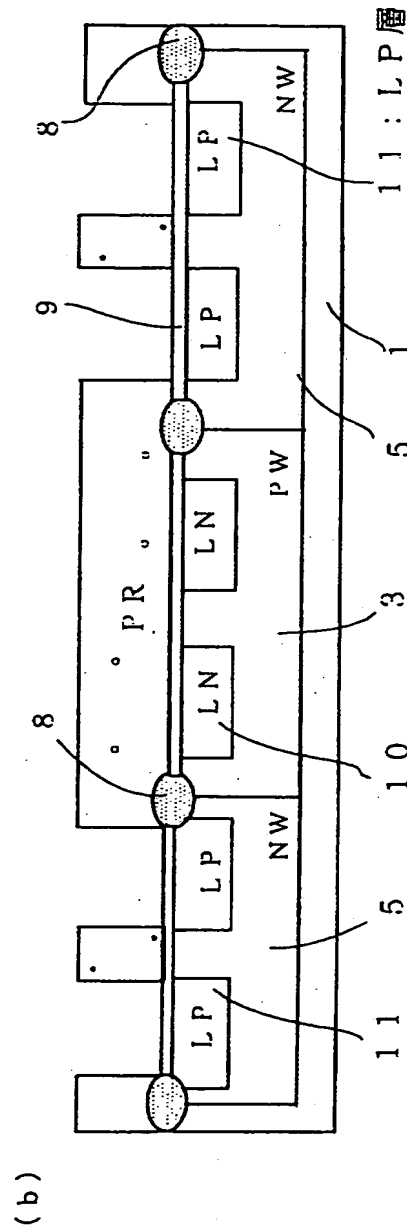
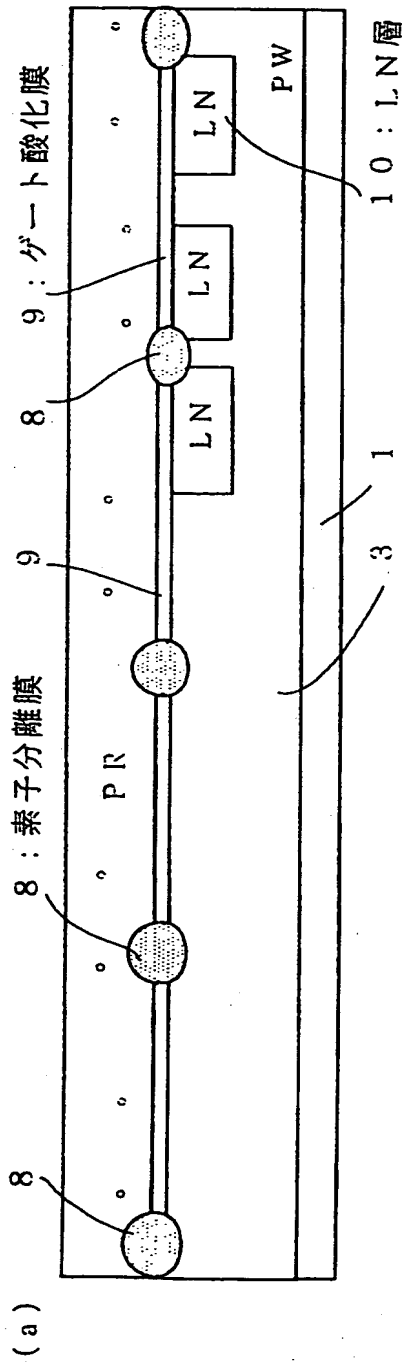
従来の半導体装置を示す断面図である。

【書類名】 図面

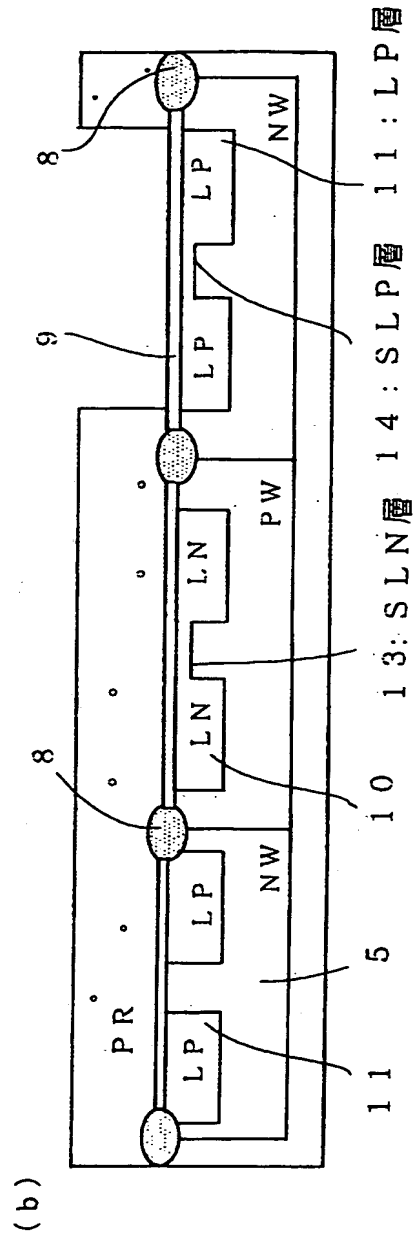
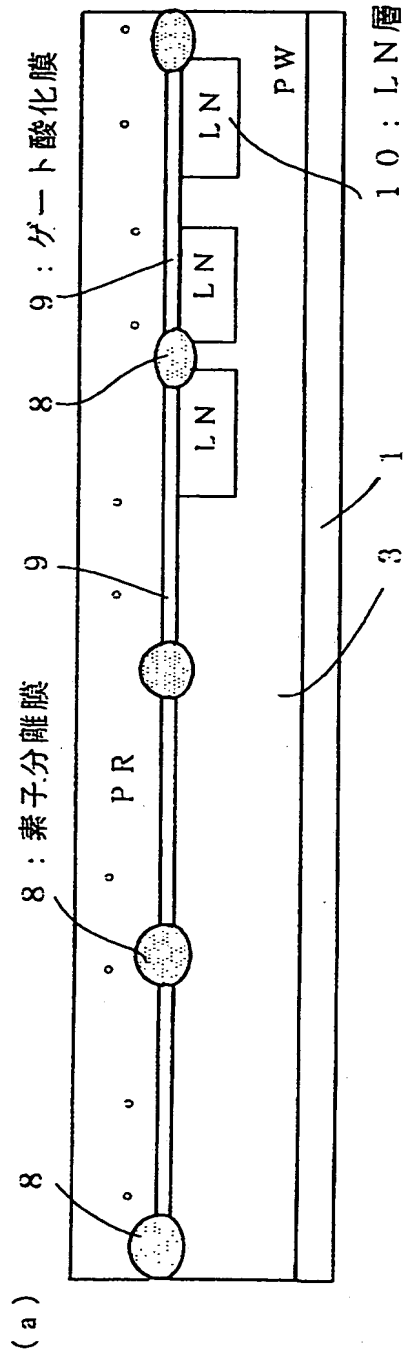
【図 1】



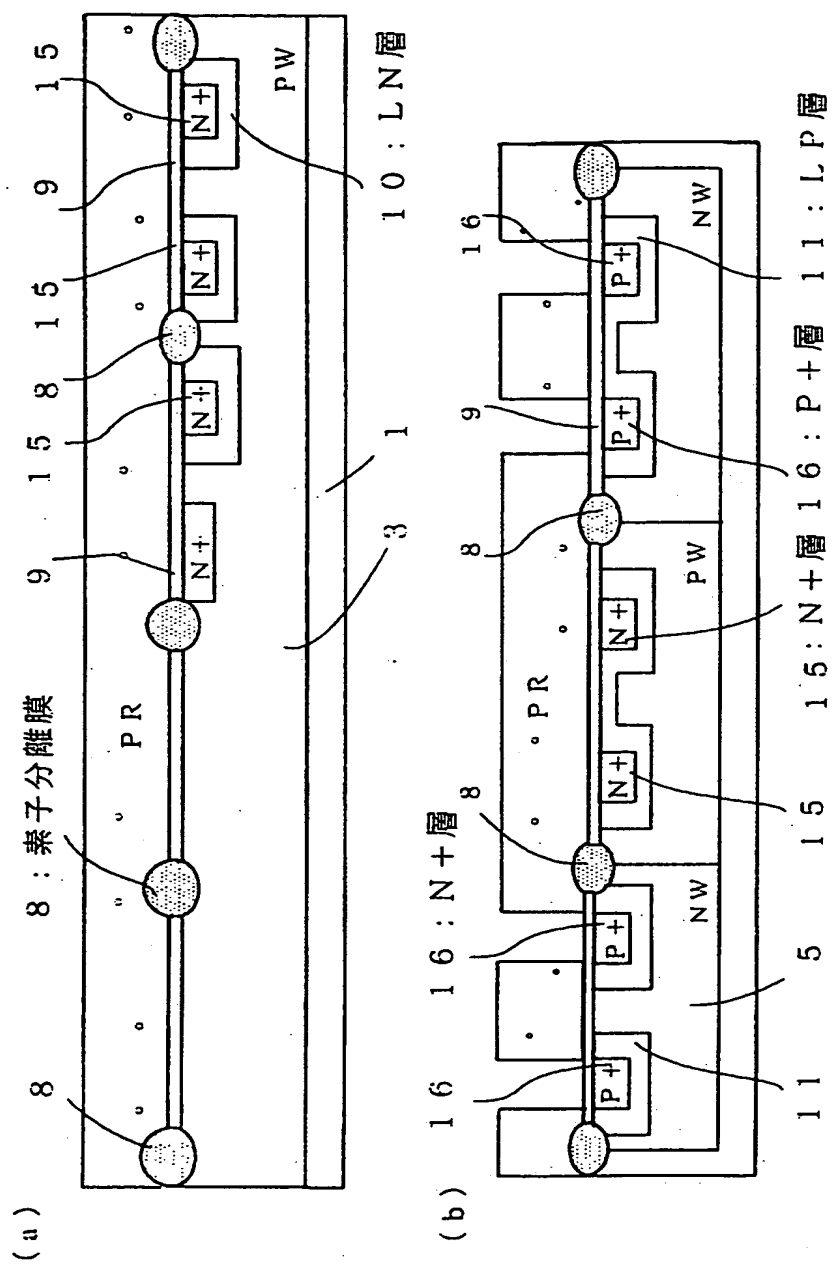
【図 2】



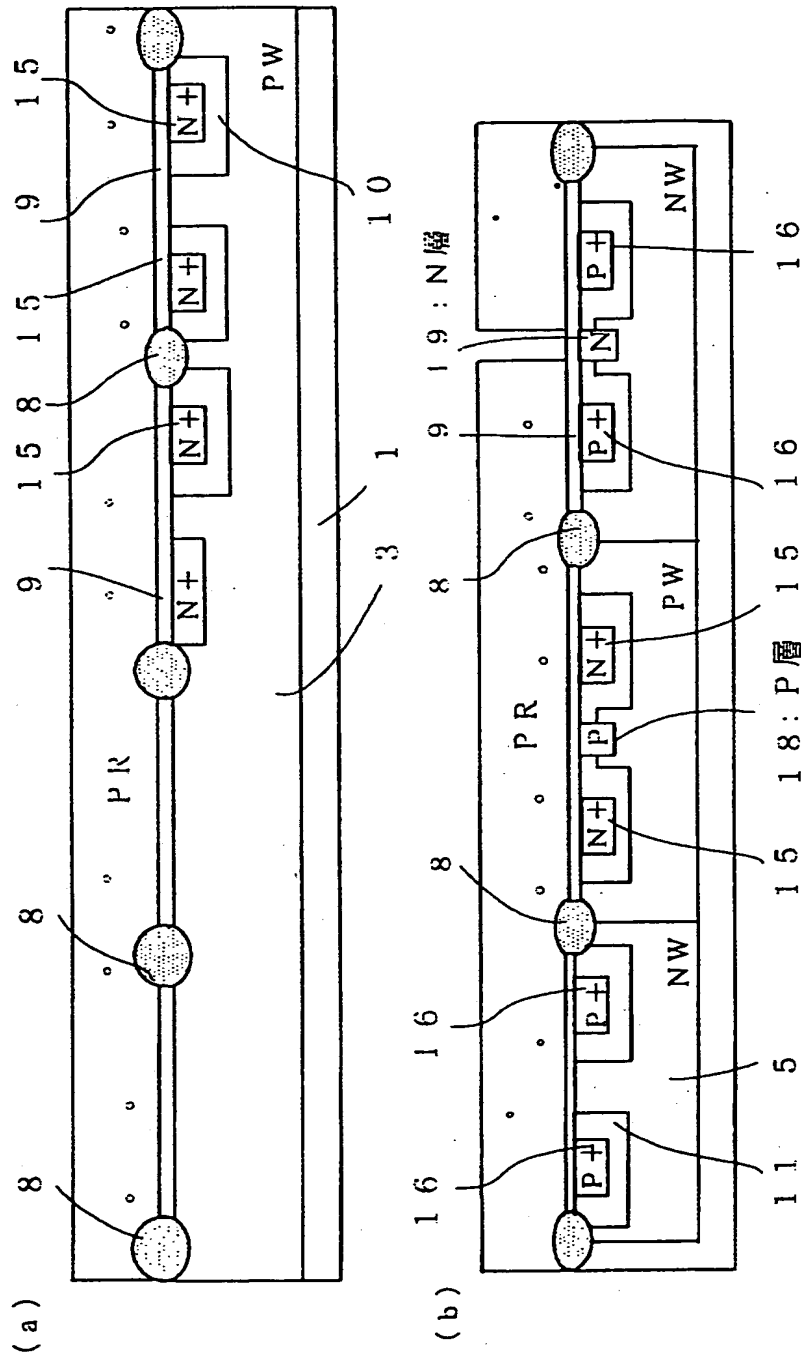
【図 3】



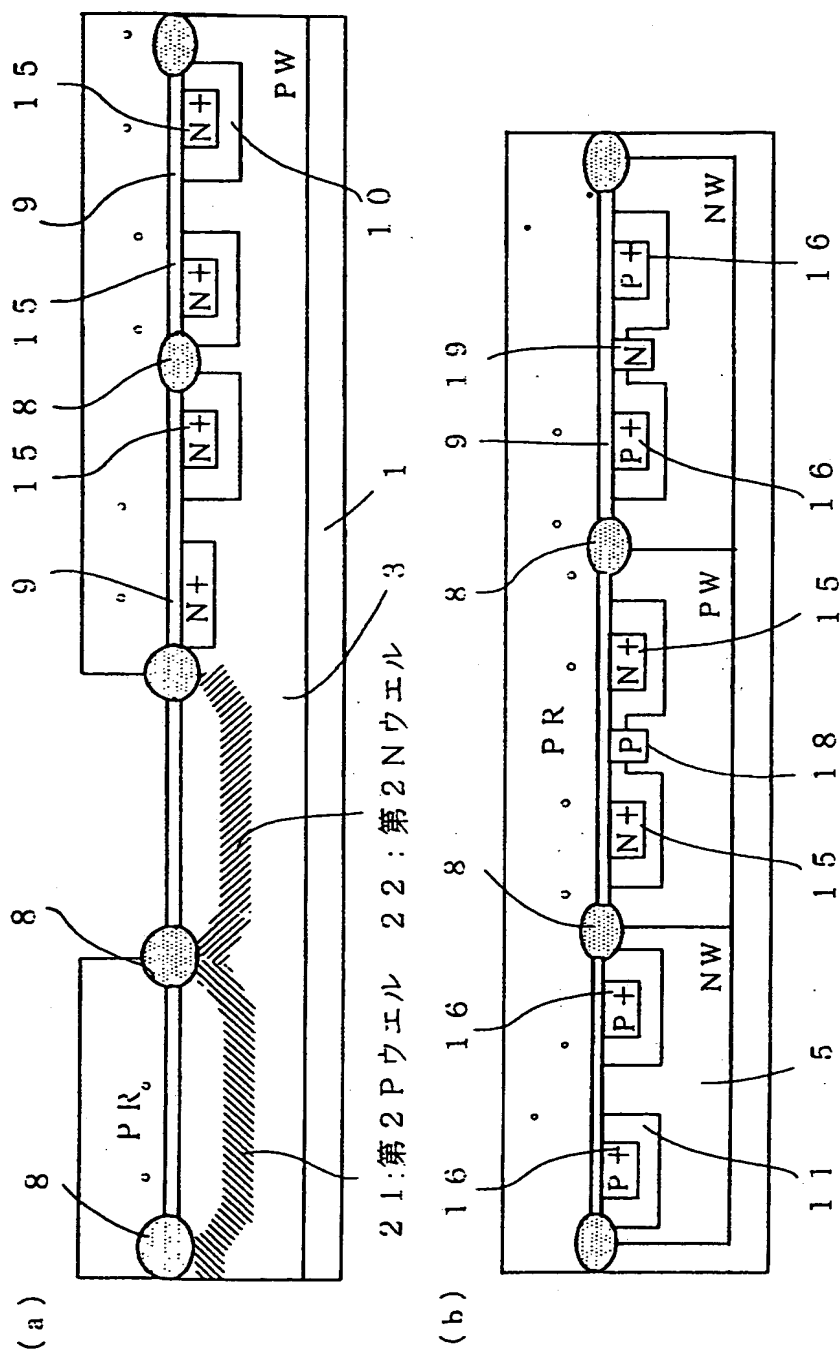
【図 4】



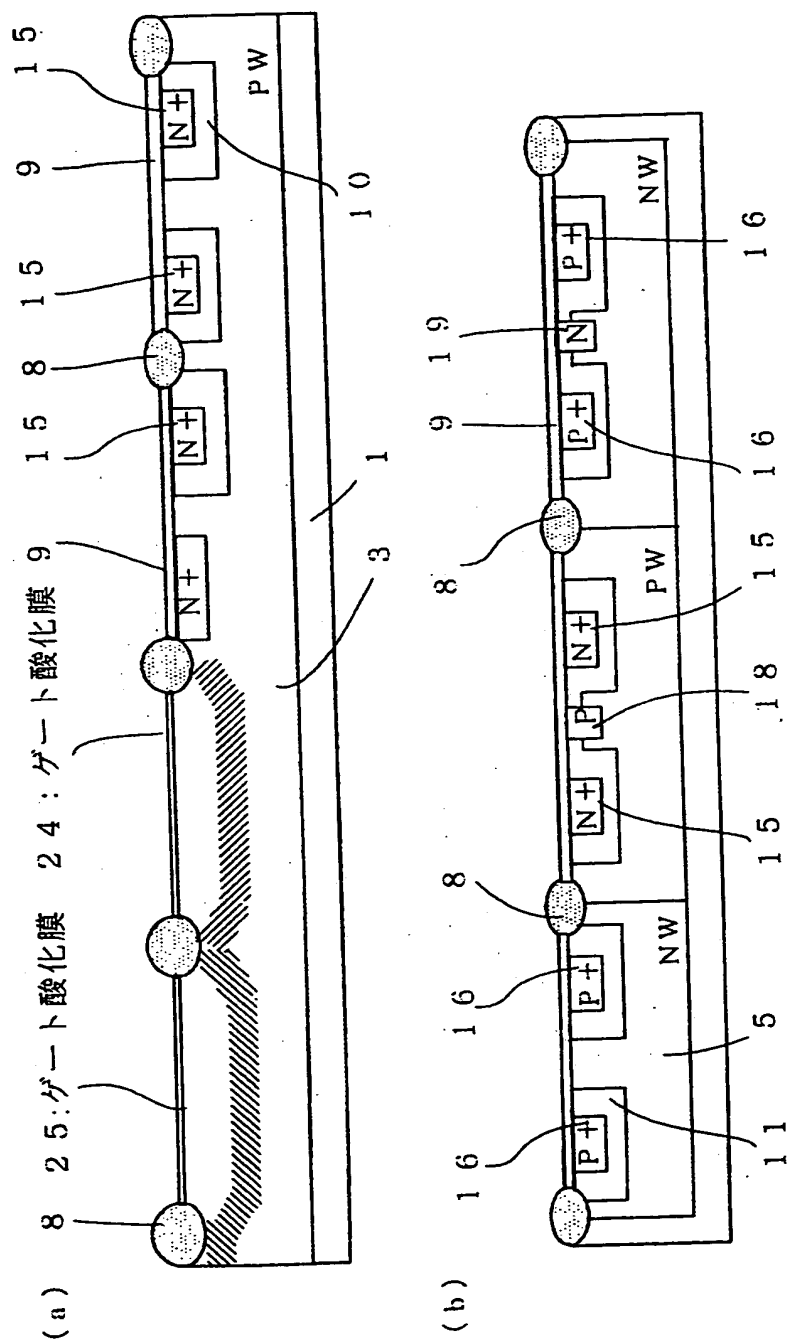
【図 5】



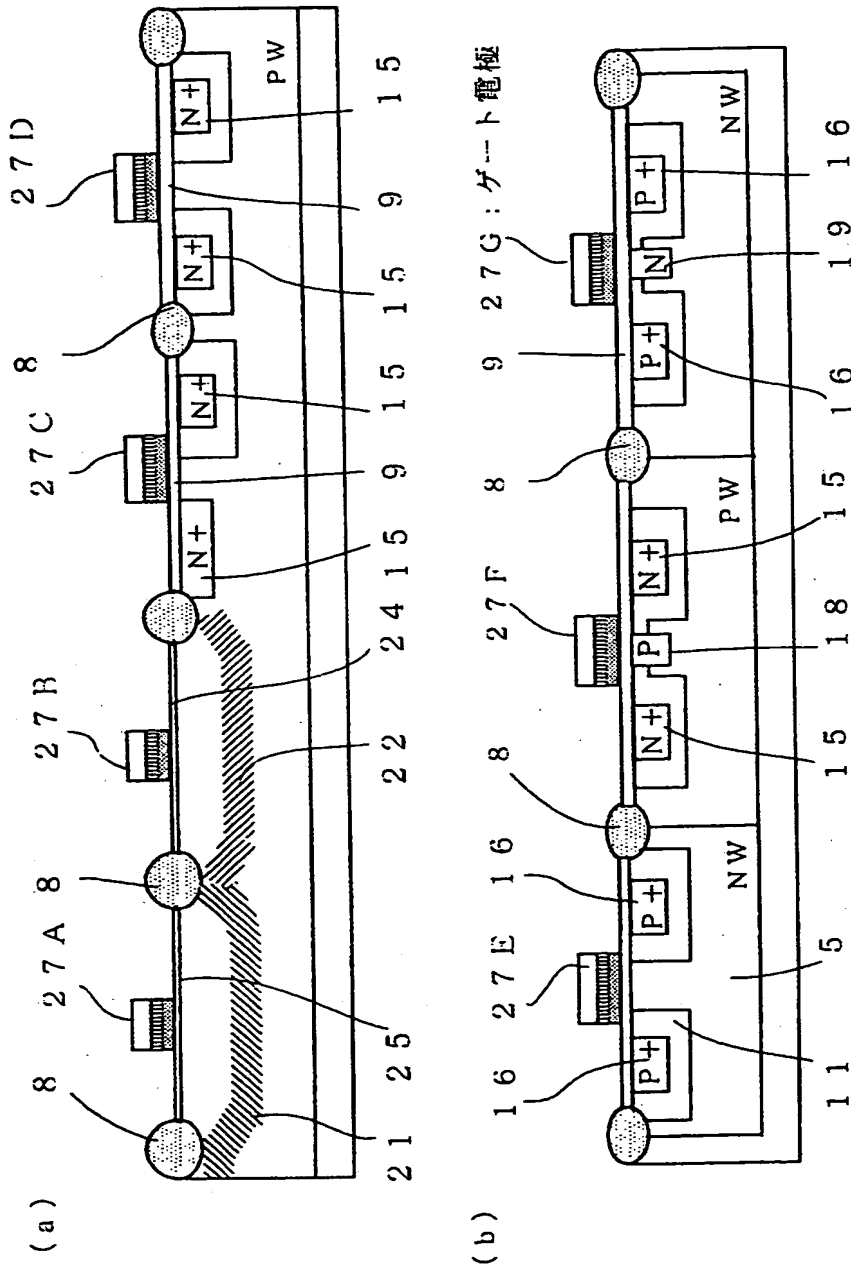
【図 6】



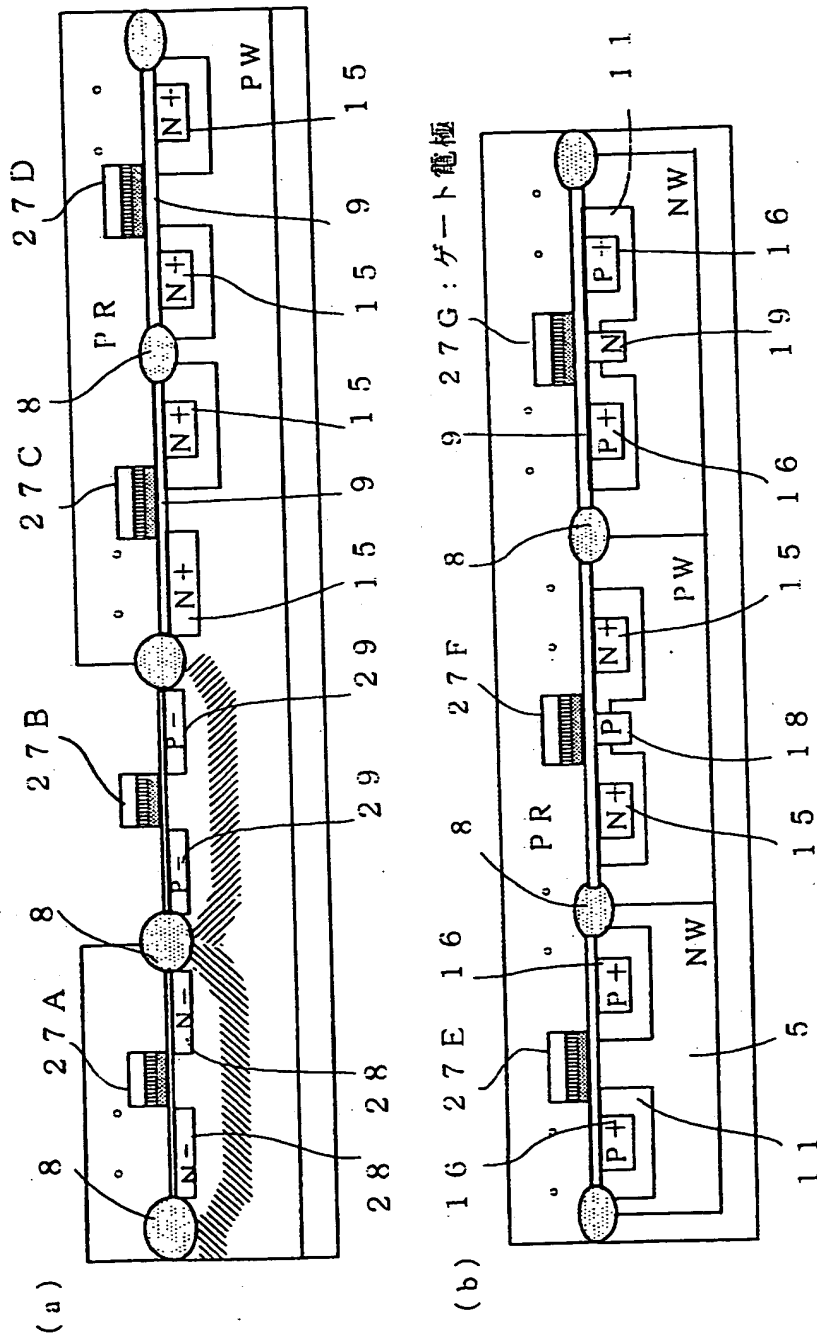
【图7】



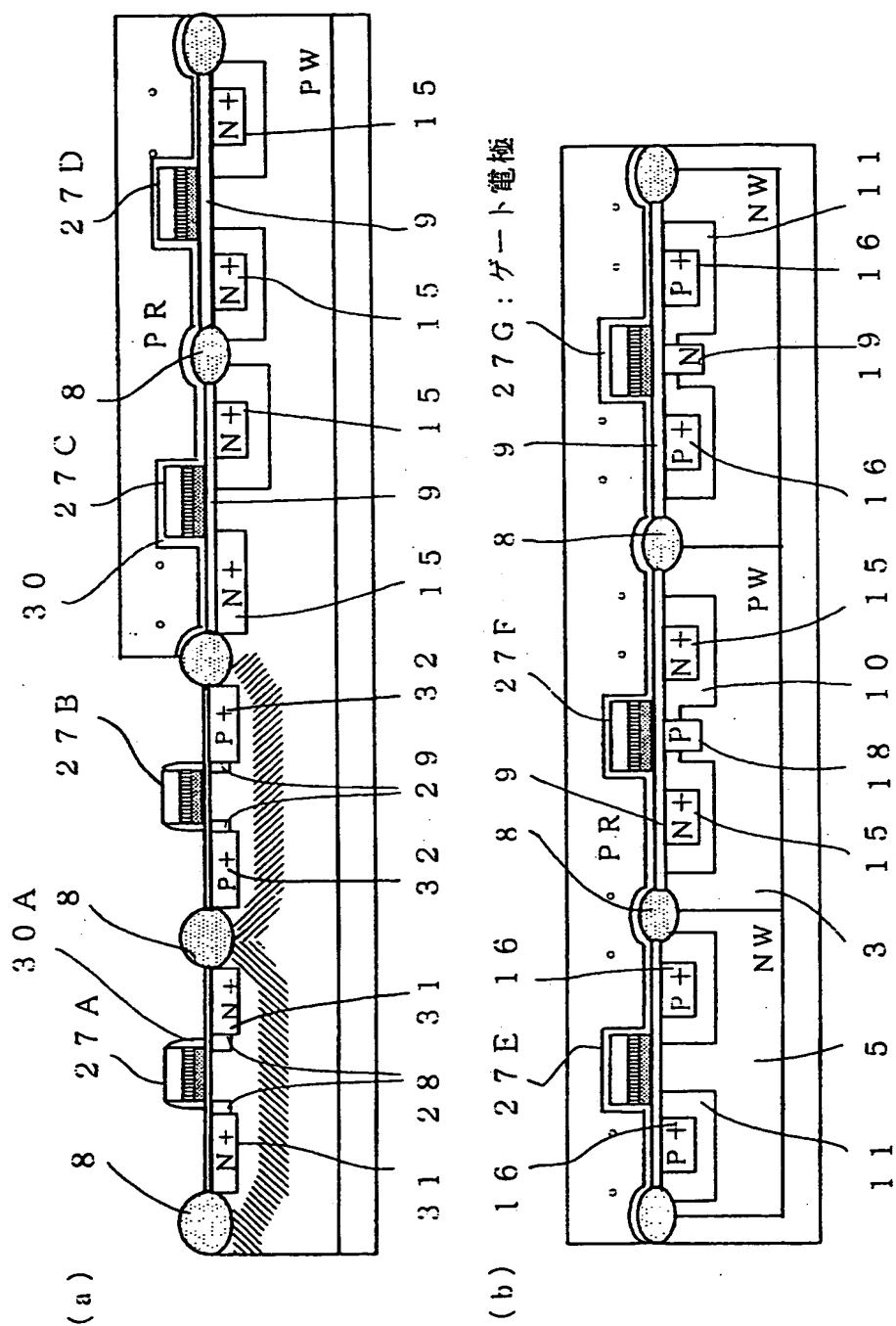
【図 8】



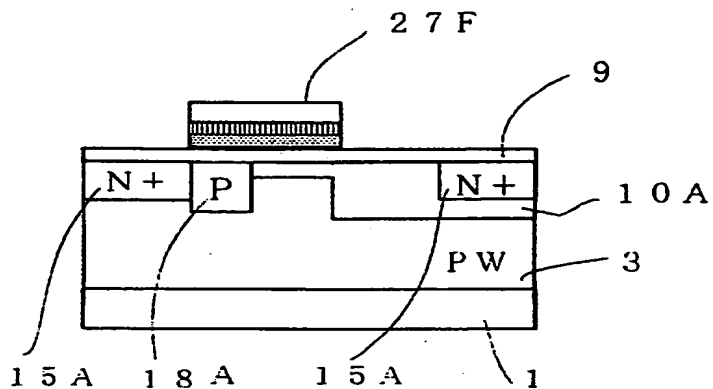
【図9】



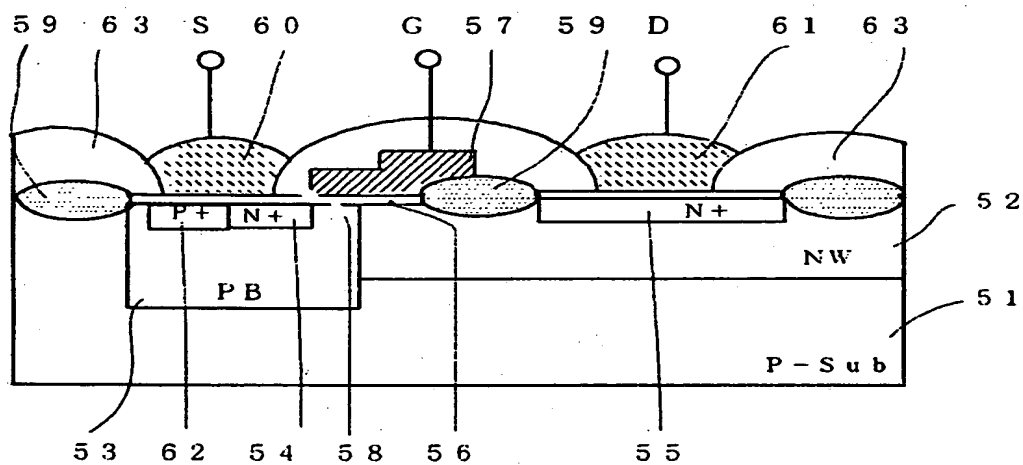
【図 10】



【図 11】



【図 12】



【書類名】 要約書

【要約】

【課題】 高耐圧MOSトランジスタの微細化を図る。

【解決手段】 P型の半導体基板1上にゲート酸化膜9を介して形成されたゲート電極27Fと、前記ゲート電極27Fの一端部に隣接するように形成される高濃度のN型ソース層15Aと、前記ゲート電極27Fの他端部から離間されて形成される高濃度のN型ドレイン層15Aと、前記ゲート電極27F下方から前記N型ドレイン層15Aを取り囲むように形成される低濃度のN型ドレイン層（ドリフト層）10Aと、前記ゲート電極27F下方の前記N型ソース層15Aと前記N型ドレイン層10A間に形成されるP型ボディ層18Aとを具備したことを特徴とする。

【選択図】 図11

出 願 人 履 歴 情 報

識別番号 [000001889]

1. 変更年月日	1993年10月20日
[変更理由]	住所変更
住 所	大阪府守口市京阪本通2丁目5番5号
氏 名	三洋電機株式会社